

訳者あとがき

本書の翻訳を担当することになって、翻訳用の原本を受け取り、ざっと眺めた時に受けた衝撃は今でも忘れることができません。

当時（2008年）、「パワーインテグリティ」という言葉が、IC設計や電子回路設計（特に高速シリアルリンク設計）の現場で、少しずつではありますが、知られるようになり、セミナーなども開催されていました。しかし、その内容は「プリント基板の電源インピーダンスを低く抑えましょう」といった、ある意味高速デジタル回路設計者にとっては、当たり前のご紹介だったり、あるいは、「プリント基板上に、デカップリングキャパシタを適切に配置することで、電源インピーダンスを高い周波数帯域まで低く抑えることができます」といった、具体的なデカップリングキャパシタの値や個数は示されてはいるものの、では、「適切に配置する」とは何なのか、またなぜその値や個数が得ることができるのかは説明がない、など、いまひとつ「体系化」されていない、というのが私の印象でした。

本書は、電源分配ネットワーク（PDN）という概念を順序立てて説明し、「ターゲットインピーダンス」という概念を導入して、高速に動作するICが搭載されたプリント基板の、動作周波数を基に、「どれくらいの周波数帯域まで」、「どのような値のデカップリングキャパシタ」を「どこに配置すれば良いか」が懇切に丁寧に説明されています。

特に私が「衝撃」を受けたのは、限られた大きさを持つプリント基板に存在する電源プレーンペア（電源／グラウンド）の周波数特性を測定した時、その周波数が上昇すると、プリント基板上の電源プレーンペア上の電圧分布はもはや一様ではなく、分布定数回路と見なして電圧分布を考えなければなりません。この電圧分布が一様ではない、という状況を踏まえた上で、電圧分布の高い場所（つまりインピーダンスが高い場所）に、適切なデカップリングキャパシタを配置することで、電源プレーンペアのインピーダンスを下げるができる、との記述です。これは、当たり前の話ではあるのですが、ここまで明確に説明してある文献を今まで見たことがありません。

また、信号ラインと同様、電源プレーンペア（電源／グラウンド）も、「伝送路」として考え、信号ライン（例えばマイクロストリップ線路）と並列接続された「平行平板伝送路」と考えて解析する、という考え方です。第3章で詳しく説明されていますが、今まで考えたこともない方法ではあるのですが、言ってみれば、高速デジタル信号が伝搬する場合、信号ラインだけでなく、電源プレーンペアも「伝送路」として考えるのは、当たり前なことなのに、どうして今まで誰も説明しなかったのかが不思議なくらいです。また、その具体例を昨今の高速シリアルリンクのICではなく、74ABT244という、もう10年前ぐらいから使われているCMOSロジックICを使って説明してあるので、強力な説得力があります。

そんな本書の訳者の一人として、私が参加できたことは大変名誉なことであり、この「良書」の内容を、日本のエンジニアの方々にどうやったら伝えることができるだろうかと苦闘の日々が始まりました。何度も訳し直したり、理解できないところは著者に直接E-mailを打って、教を請うたりしました。また、監訳者の須藤俊夫先生、訳者の荒井信隆氏、川田章弘氏とも、メールや電話での意見交換を行いました。その成果が、本書です。

現在、高速デジタル回路のプリント基板設計を行っている方々には、今まで「経験則」として知っていたことが、本書を読むことで、さらに明確な「知識」になることと思いますし、これからそれらの回路設計を行い、プリント基板設計をスタートしようとする方々にとっては、パワーインテグリティを体系的に学ぶ良い本になることと思います。そして、私と同様な「衝撃」を受けていただけるなら、望外の幸せです。

最後に、私の稚拙な英語のE-mailに対して、ていねいな回答をくれた著者の1人、Dr. Madhavan Swaminathan氏に感謝し、また、翻訳を行うにつれ苦しくなって、心が折れそうになった時支えていただいた、翔泳社の古田島義和氏、SIBアクセスの富澤昇氏に感謝いたします。

訳者を代表して
國頭延行